Domande di Reti Logiche – compito del 20/07/2026

C'è **una sola risposta** corretta per ogni domanda
Usare lo spazio bianco sul retro del foglio per appunti, se serve

```
S8: … STAR<=(a==0)? MJR : S9; …
```

1) Si intende sintetizzare come PO/PC una descrizione che include lo stato sopra riportato. La PC va sintetizzata secondo il modello basato su $\mu$-indirizzi. Pertanto:
   a) MJR deve essere aggiunto alla parte controllo
   b) Alla riga della ROM corrispondente a S8 l'indirizzo contenuto in MJR va inserito nel campo $\mu$-salto True
   c) Alla riga della ROM corrispondente a S8 il $\mu$-tipo del salto va messo a non specificato
   d) Nessuna delle precedenti

2) La funzione $f(x) = |x|_\alpha$, con $x \in \mathbb{Z}, \alpha \in \mathbb{N}\backslash\{0,1\}$
   a) È definita solo nell'intervallo $[-\frac{\alpha}{2}; +\frac{\alpha}{2}]$;
   b) È periodica
   c) È pari
   d) Nessuna delle precedenti

3) Un D Flip Flop riceve la seguente sequenza di stati di ingresso: {d,p}=00, 10, 11, 10, 01, 00. Al termine, la sua uscita vale
   a) 0
   b) 1
   c) Un bit a caso
   d) Nessuna delle precedenti

```
ADD %AL, %BL
```

4) Dopo l'istruzione riportata sopra, quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, e 1 dentro CF?
   a) `AL=0111_1111, BL=0111_1111`
   b) `AL=1000_0001, BL=1111_1110`
   c) `AL=1111_1111, BL=0000_0001`
   d) Nessuna delle precedenti

```
var0: .BYTE 0x30, 0x31
var1: .WORD 0x100, 0x120
var2: .LONG var0+3
…
MOV   var2, %EBX
MOV   (%EBX), %AL
```

5) Alla fine del segmento di codice scritto sopra, AL contiene
   a) 0x01
   b) 0x20
   c) var0+3
   d) Nessuna delle precedenti

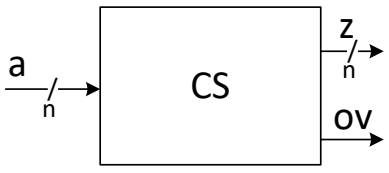
6) Un MUL+ADD per naturali ad $1 \times 1$ cifra in base 10 ha in ingresso $X = 7, Y = 3, C = 2$. La sua uscita è:
   a) $Z = 0001\ 0111$
   b) $Z = 0010\ 0011$
   c) Non specificata, in quanto l'operazione non è fattibile
   d) Nessuna delle precedenti

7) Detto $t$ l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:
   a) $t$
   b) $t + T_{propagation}$
   c) $t + T_{hold}$
   d) Nessuna delle precedenti

8) In una mappa di Karnaugh si trovano tutti i sottocubi principali, che risultano essere o essenziali o assolutamente eliminabili. Se ne deduce che:
   a) Esiste una sola lista di copertura irridondante
   b) Esistono più liste di copertura irridondanti
   c) Esistono più liste di copertura di costo minimo
   d) Nessuna delle precedenti

```
Sa: begin A23_A0<={'H001234}; DIR<=0;
          IOR_<=0; STAR<=Sb; end
Sb: begin STAR<=Sc; end
Sc: begin D7_D0<=d7_d0; IOR_<=1; … end
```

9) La parte di descrizione Verilog scritta sopra intende leggere un byte da un registro di interfaccia di offset 0x1234 nel calcolatore visto a lezione. Al termine:
   a) `D7_D0` non contiene il dato corretto
   b) `D7_D0` contiene il dato corretto, ma ci possono essere stati effetti collaterali indesiderati
   c) `D7_D0` contiene il dato corretto, e non ci possono essere stati effetti collaterali indesiderati
   d) Nessuna delle precedenti




10) l'uscita di overflow nel circuito di calcolo dell'opposto in base 2 disegnato sopra si può calcolare come:
   a) $ov = a_{n-1} \overline{\otimes} z_{n-1}$ ($\overline{\otimes}$: XNOR)
   b) $ov = a_{n-1} \cdot z_{n-1}$
   c) $ov = a_{n-1} + z_{n-1}$
   d) Nessuna delle precedenti

♥

Domande di Reti Logiche – compito del 20/07/2026

Cognome e nome: _____

Matricola: _____

Link al form Google per le risposte:

https://forms.gle/SDua3QvoiwqddVwH7
https://tinyurl.com/6z6jfj5u

♥

Domande di Reti Logiche - compito del 20/07/2026

Barrare **una sola risposta** per domanda
Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco)
Usare lo spazio bianco sul retro del foglio per appunti, se serve

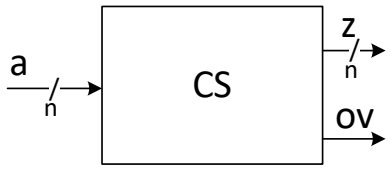
```
var0: .BYTE 0x30, 0x31
var1: .WORD 0x100, 0x120
var2: .LONG var0+3
…
MOV   var2, %EBX
MOV   (%EBX), %AL
```

1) Alla fine del segmento di codice scritto sopra, AL contiene
   a) 0x01
   b) 0x20
   c) var0+3
   d) Nessuna delle precedenti

```
ADD %AL, %BL
```

2) Dopo l'istruzione riportata sopra, quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, e 1 dentro CF?
   a) AL=0111_1111, BL=0111_1111
   b) AL=1000_0001, BL=1111_1110
   c) AL=1111_1111, BL=0000_0001
   d) Nessuna delle precedenti

3) Un MUL+ADD per naturali ad 1 × 1 cifra in base 10 ha in ingresso $X = 7, Y = 3, C = 2$. La sua uscita è:
   a) $Z = 0001\ 0111$
   b) $Z = 0010\ 0011$
   c) Non specificata, in quanto l'operazione non è fattibile
   d) Nessuna delle precedenti




4) l'uscita di overflow nel circuito di calcolo dell'opposto in base 2 disegnato sopra si può calcolare come:
   a) $ov = a_{n-1} \overline{\otimes}\, z_{n-1}$ ($\overline{\otimes}$: XNOR)
   b) $ov = a_{n-1} \cdot z_{n-1}$
   c) $ov = a_{n-1} + z_{n-1}$
   d) Nessuna delle precedenti

5) La funzione $f(x) = |x|_\alpha$, con $x \in \mathbb{Z}, \alpha \in \mathbb{N}\backslash\{0,1\}$
   a) È definita solo nell'intervallo $[-\frac{\alpha}{2}; +\frac{\alpha}{2}]$;
   b) È periodica
   c) È pari
   d) Nessuna delle precedenti

6) In una mappa di Karnaugh si trovano tutti i sottocubi principali, che risultano essere o essenziali o assolutamente eliminabili. Se ne deduce che:
   a) Esiste una sola lista di copertura irridondante
   b) Esistono più liste di copertura irridondanti
   c) Esistono più liste di copertura di costo minimo
   d) Nessuna delle precedenti

```
S8: … STAR<=(a==0)? MJR : S9; …
```

7) Si intende sintetizzare come PO/PC una descrizione che include lo stato sopra riportato. La PC va sintetizzata secondo il modello basato su $\mu$-indirizzi. Pertanto:
   a) MJR deve essere aggiunto alla parte controllo
   b) Alla riga della ROM corrispondente a S8 l'indirizzo contenuto in MJR va inserito nel campo $\mu$-salto True
   c) Alla riga della ROM corrispondente a S8 il $\mu$-tipo del salto va messo a non specificato
   d) Nessuna delle precedenti

8) Un D Flip Flop riceve la seguente sequenza di stati di ingresso: {d,p}=00, 10, 11, 10, 01, 00. Al termine, la sua uscita vale
   a) 0
   b) 1
   c) Un bit a caso
   d) Nessuna delle precedenti

9) Detto $t$ l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:
   a) $t$
   b) $t + T_{propagation}$
   c) $t + T_{hold}$
   d) Nessuna delle precedenti

```
Sa: begin A23_A0<={'H001234}; DIR<=0;
          IOR_<=0; STAR<=Sb; end
Sb: begin STAR<=Sc; end
Sc: begin D7_D0<=d7_d0; IOR_<=1; … end
```

10) La parte di descrizione Verilog scritta sopra intende leggere un byte da un registro di interfaccia di offset 0x1234 nel calcolatore visto a lezione. Al termine:
   a) D7_D0 non contiene il dato corretto
   b) D7_D0 contiene il dato corretto, ma ci possono essere stati effetti collaterali indesiderati
   c) D7_D0 contiene il dato corretto, e non ci possono essere stati effetti collaterali indesiderati
   d) Nessuna delle precedenti

♦

Domande di Reti Logiche – compito del 20/07/2026

Cognome e nome: _____

Matricola: _____

Link al form Google per le risposte:

https://forms.gle/SDua3QvoiwqddVwH7
https://tinyurl.com/6z6jfj5u

♦

Domande di Reti Logiche - compito del 20/07/2026

Barrare **una sola risposta** per domanda
Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco)
Usare lo spazio bianco sul retro del foglio per appunti, se serve

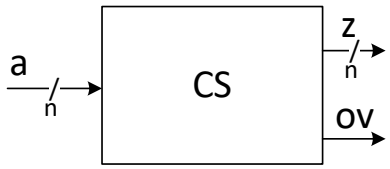
1) Un MUL+ADD per naturali ad $1 \times 1$ cifra in base 10 ha in ingresso $X = 7, Y = 3, C = 2$. La sua uscita è:
   a) $Z = 0001\ 0111$
   b) $Z = 0010\ 0011$
   c) Non specificata, in quanto l'operazione non è fattibile
   d) Nessuna delle precedenti

2) Detto $\boldsymbol{t}$ l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:
   a) $t$
   b) $t + T_{propagation}$
   c) $t + T_{hold}$
   d) Nessuna delle precedenti

3) In una mappa di Karnaugh si trovano tutti i sottocubi principali, che risultano essere o essenziali o assolutamente eliminabili. Se ne deduce che:
   a) Esiste una sola lista di copertura irridondante
   b) Esistono più liste di copertura irridondanti
   c) Esistono più liste di copertura di costo minimo
   d) Nessuna delle precedenti

```
Sa: begin A23_A0<={'H001234}; DIR<=0;
          IOR_<=0; STAR<=Sb; end
Sb: begin STAR<=Sc; end
Sc: begin D7_D0<=d7_d0; IOR_<=1; … end
```

4) La parte di descrizione Verilog scritta sopra intende leggere un byte da un registro di interfaccia di offset 0x1234 nel calcolatore visto a lezione. Al termine:
   a) `D7_D0` non contiene il dato corretto
   b) `D7_D0` contiene il dato corretto, ma ci possono essere stati effetti collaterali indesiderati
   c) `D7_D0` contiene il dato corretto, e non ci possono essere stati effetti collaterali indesiderati
   d) Nessuna delle precedenti




5) l'uscita di overflow nel circuito di calcolo dell'opposto in base 2 disegnato sopra si può calcolare come:
   a) $ov = a_{n-1} \overline{\otimes}\ z_{n-1}$ ($\overline{\otimes}$: XNOR)
   b) $ov = a_{n-1} \cdot z_{n-1}$
   c) $ov = a_{n-1} + z_{n-1}$
   d) Nessuna delle precedenti

```
S8: … STAR<=(a==0)? MJR : S9; …
```

6 Si intende sintetizzare come PO/PC una descrizione che include lo stato sopra riportato. La PC va sintetizzata secondo il modello basato su $\mu$-indirizzi. Pertanto:
   a) MJR deve essere aggiunto alla parte controllo
   b) Alla riga della ROM corrispondente a S8 l'indirizzo contenuto in MJR va inserito nel campo $\mu$-salto True
   c) Alla riga della ROM corrispondente a S8 il $\mu$-tipo del salto va messo a non specificato
   d) Nessuna delle precedenti

7) La funzione $f(x) = |x|_{\alpha}$, con $x \in \mathbb{Z}, \alpha \in \mathbb{N}\backslash\{0,1\}$
   a) È definita solo nell'intervallo $[-\frac{\alpha}{2}; +\frac{\alpha}{2}]$;
   b) È periodica
   c) È pari
   d) Nessuna delle precedenti

8) Un D Flip Flop riceve la seguente sequenza di stati di ingresso: {d,p}=00, 10, 11, 10, 01, 00. Al termine, la sua uscita vale
   a) 0
   b) 1
   c) Un bit a caso
   d) Nessuna delle precedenti

```
ADD %AL, %BL
```

9) Dopo l'istruzione riportata sopra, quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, e 1 dentro CF?
   a) `AL=0111_1111, BL=0111_1111`
   b) `AL=1000_0001, BL=1111_1110`
   c) `AL=1111_1111, BL=0000_0001`
   d) Nessuna delle precedenti

```
var0: .BYTE 0x30, 0x31
var1: .WORD 0x100, 0x120
var2: .LONG var0+3
…
MOV   var2, %EBX
MOV   (%EBX), %AL
```

10) Alla fine del segmento di codice scritto sopra, AL contiene
   a) 0x01
   b) 0x20
   c) var0+3
   d) Nessuna delle precedenti



Domande di Reti Logiche – compito del 20/07/2026

Cognome e nome: _____

Matricola: _____

Link al form Google per le risposte:

https://forms.gle/SDua3QvoiwqddVwH7
https://tinyurl.com/6z6jfj5u

♣

Domande di Reti Logiche - compito del 20/07/2026

Barrare **una sola risposta** per domanda
Il punteggio finale è -1 × (n. di risposte errate + n. domande lasciate in bianco)
Usare lo spazio bianco sul retro del foglio per appunti, se serve

1) In una mappa di Karnaugh si trovano tutti i sottocubi principali, che risultano essere o essenziali o assolutamente eliminabili. Se ne deduce che:

a) Esiste una sola lista di copertura irridondante
b) Esistono più liste di copertura irridondanti
c) Esistono più liste di copertura di costo minimo
d) Nessuna delle precedenti

```
S8: … STAR<=(a==0)? MJR : S9; …
```

2) Si intende sintetizzare come PO/PC una descrizione che include lo stato sopra riportato. La PC va sintetizzata secondo il modello basato su $\mu$-indirizzi. Pertanto:

a) MJR deve essere aggiunto alla parte controllo
b) Alla riga della ROM corrispondente a S8 l'indirizzo contenuto in MJR va inserito nel campo $\mu$-salto True
c) Alla riga della ROM corrispondente a S8 il $\mu$-tipo del salto va messo a non specificato
d) Nessuna delle precedenti

3) Un D Flip Flop riceve la seguente sequenza di stati di ingresso: {d,p}=00, 10, 11, 10, 01, 00. Al termine, la sua uscita vale

a) 0
b) 1
c) Un bit a caso
d) Nessuna delle precedenti

4) Detto $t$ l'istante in cui si ha il fronte di salita del clock, l'uscita di una rete sequenziale sincronizzata di Moore va a regime all'istante:

a) $t$
b) $t + T_{propagation}$
c) $t + T_{hold}$
d) Nessuna delle precedenti

```
Sa: begin A23_A0<={'H001234}; DIR<=0;
          IOR_<=0; STAR<=Sb; end
Sb: begin STAR<=Sc; end
Sc: begin D7_D0<=d7_d0; IOR_<=1; … end
```

5) La parte di descrizione Verilog scritta sopra intende leggere un byte da un registro di interfaccia di offset 0x1234 nel calcolatore visto a lezione. Al termine:

a) `D7_D0` non contiene il dato corretto
b) `D7_D0` contiene il dato corretto, ma ci possono essere stati effetti collaterali indesiderati
c) `D7_D0` contiene il dato corretto, e non ci possono essere stati effetti collaterali indesiderati
d) Nessuna delle precedenti

```
var0: .BYTE 0x30, 0x31
var1: .WORD 0x100, 0x120
var2: .LONG var0+3
…
MOV   var2, %EBX
MOV   (%EBX), %AL
```

6) Alla fine del segmento di codice scritto sopra, AL contiene

a) 0x01
b) 0x20
c) var0+3
d) Nessuna delle precedenti

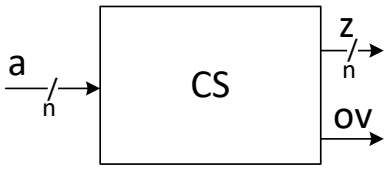
```
ADD %AL, %BL
```

7) Dopo l'istruzione riportata sopra, quale delle seguenti configurazioni degli operandi scrive 1 dentro OF, e 1 dentro CF?

a) AL=0111_1111, BL=0111_1111
b) AL=1000_0001, BL=1111_1110
c) AL=1111_1111, BL=0000_0001
d) Nessuna delle precedenti

8) Un MUL+ADD per naturali ad $1 \times 1$ cifra in base 10 ha in ingresso $X = 7, Y = 3, C = 2$. La sua uscita è:

a) $Z = 0001\ 0111$
b) $Z = 0010\ 0011$
c) Non specificata, in quanto l'operazione non è fattibile
d) Nessuna delle precedenti




9) l'uscita di overflow nel circuito di calcolo dell'opposto in base 2 disegnato sopra si può calcolare come:

a) $ov = a_{n-1} \overline{\otimes}\ z_{n-1}$ ($\overline{\otimes}$: XNOR)
b) $ov = a_{n-1} \cdot z_{n-1}$
c) $ov = a_{n-1} + z_{n-1}$
d) Nessuna delle precedenti

10) La funzione $f(x) = |x|_\alpha$, con $x \in \mathbb{Z}, \alpha \in \mathbb{N}\backslash\{0,1\}$

a) È definita solo nell'intervallo $[-\frac{\alpha}{2}; +\frac{\alpha}{2}]$;
b) È periodica
c) È pari
d) Nessuna delle precedenti

♠

Domande di Reti Logiche – compito del 20/07/2026

Cognome e nome: _____

Matricola: _____

Link al form Google per le risposte:

https://forms.gle/SDua3QvoiwqddVwH7
https://tinyurl.com/6z6jfj5u

